

PAT-NO: JP358039015A
DOCUMENT-IDENTIFIER: JP 58039015 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: March 7, 1983

INVENTOR-INFORMATION:

NAME

KAWASHIRO, SANJI

SUEMITSU, HISASHI

ASSIGNEE-INFORMATION:

NAME

PIONEER ELECTRONIC CORP

COUNTRY

N/A

APPL-NO: JP56137445

APPL-DATE: September 1, 1981

INT-CL (IPC): H01L021/30

US-CL-CURRENT: 430/22

ABSTRACT:

PURPOSE: To form an integrated circuit by providing a prescribed circuit pattern on the same semiconductor substrate by a method wherein a light exposing method is employed using a photomask in the formation of one circuit pattern, a direct exposing method by an electron beam is used in formation of the other circuit, and both of these methods are combinedly utilized.

CONSTITUTION: The exposure of a first layer circuit net work pattern and the wafer of target marks 4a and 4b is performed by matching the marks 2a \sim 2d of a wafer 1 to the marks 2a' \sim 2d' on the photomask 3. As a result, the target marks 4a and 4b to be used for photomask positioning is patterned on the wafer 1 with the designed positioning relations against the registration marks 2a \sim 2d, to be used for electron beam direct exposure, located on the wafer. Subsequently, when a direct exposure is performed using an electron beam in the pattern formation of the layer which is considered to be necessary, a positioning is performed by matching the registration marks 2a \sim 2d, and this enables to form an accurate microscopic pattern. When a light exposure is performed, patterns can be formed by performing a mask-matching process using the target marks 4a and 4b.

COPYRIGHT: (C)1983, JPO&Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—39015

⑤ Int. Cl.³
H 01 L 21/30

識別記号

庁内整理番号
7131—5F

⑬ 公開 昭和58年(1983)3月7日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

⑯ 特 願 昭56—137445

⑰ 出 願 昭56(1981)9月1日

⑱ 発 明 者 川城三治

甲府市大里町字大北耕地465番
パイオニア株式会社半導体研究
所内

⑲ 発 明 者 末光尚志

甲府市大里町字大北耕地465番
パイオニア株式会社半導体研究
所内

⑳ 出 願 人 パイオニア株式会社

東京都目黒区目黒1丁目4番1
号

㉑ 代 理 人 弁理士 藤村元彦

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

同一半導体基板上に所定回路パターンを形成して所定回路網を集積化するに際し、一の回路パターンの形成時にはフォトリソ法を用いた光露光法を使用し、他の回路パターンの形成時には電子ビームによる直接露光法を使用することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の製造方法に関し、特に半導体基板上への所定パターン形成方法に関するものである。

1つの半導体基板上に集積回路を形成するには、当該基板上に所定の回路パターンを順次形成して行われる。この場合、フォトリソ法を用いた光露光法と電子ビームによる直接露光法とがあり、電子ビームによる直接露光法は、フォトリソ法が不

要であって直接半導体ウェハへ所定のマスクデータに基づき電子ビームを走査して露光するものであるから、1 μ m乃至サブミクロンの微細なパターンの形成が可能となり、特に研究開発用としての少量の集積回路装置を製造する場合等においては製造時間が短縮される利点がある。しかし、多量のウェハを全層に亘って処理する場合には、フォトリソ法を用いた光露光法に比較的時間を要する欠点がある。

従って、本発明の目的は電子ビームによる直接露光法の長所とフォトリソ法による光露光法の長所とを夫々生かし得るようにした半導体装置の製造方法を提供することである。

本発明による半導体装置の製造方法は、同一半導体基板上に所定回路パターンを形成して集積回路を形成するに際し、一の回路パターン形成にはフォトリソ法を用いた光露光法を使用し、他の回路パターンの形成には電子ビームによる直接露光法を使用して両者を併用するようにしたことを特徴としている。

すなわち、電子ビーム直接露光法を全層のパターン形成に用いるのではなく、フォトマスクによる光露光法を併用するもので、パターン精度やマスク製作時間がなく緊急度を要する層のパターンについてのみ電子ビーム直接露光を行うことを特徴とするものである。

例えば、マスタースライス方式の場合、フォトマスクを用いた光露光法にてアルミ配線前工程までのウェハプロセスを完了したウェハをストックしておき、当該半導体装置の用途に応じて電子ビーム直接露光法を用い、アルミ配線等のためのパターン形成を行うものである。

こうすることにより、マスタースライス方式本来の利点である半導体集積回路装置製作時間の短縮を計ることが可能となるものである。

以下に、図面を用いて本発明を説明する。

第1図は電子ビーム直接露光法に使用する場合のレジストレーションマークの例を示す図であり、(A)に示すように半導体ウェハ1の所定の4箇所に、(B)で示す如きx、y方向に延びて互い

に直交する2本のラインによる「型」を、複数個縦方向に整列して設けたものであり、4組のレジストレーションマーク2a～2dが示されている。これらマーク2a～2dは、電子ビーム直接露光法により、(C)で示す如き断面形状とされるもので、例えばV溝状、凹溝状、凸形突起状、山形突起状の種々の形状が用いられ得るが、上記例に限定されない。

第2図は、光露光(紫外線や遠紫外線等を含む)の際に用いるフォトマスク3を示しており、光露光の際の目合せに必要なアライメント用ターゲットマーク4a、4bの他に、第1図に示したウェハ1上にパターンニングされたレジストレーションマークパターン2a～2dと同位置同形のマークパターン2a'～2d'が設けられている。尚、回路パターンは省略して示されている。

第1図(A)のように予めレジストレーションマーク2a～2dが形成された半導体ウェハ1上に例えば第1層パターンをフォトマスク3を光露光により形成する場合、第3図に示す如く、ウェ

ハ1の当該マーク2a～2dとフォトマスク3上のマーク2a'～2d'とを合せて、図示せぬ第1層目回路網パターンとターゲットマーク4a、4bのウェハへの露光を行う。これにより、フォトマスクの目合せに用いられるターゲットマーク4a、4bが、ウェハ上の電子ビーム直接露光用レジストレーションマーク2a～2dに対して設計された位置関係をもって、当該ウェハ1上にパターンニングされる。

よって、この後に必要とされる層のパターン形成において電子ビームによる直接露光を行う場合には、レジストレーションマーク2a～2dを合せて位置合せがなされ、正確な微細パターンの形成が可能となる。光露光をなす場合には、ターゲットマーク4a、4bを用いてマスク合せを行ってパターン形成が可能となることは勿論である。

このようにすることで、従来全く独立した方式として存在していた電子ビーム直接露光法と光露光法とを同一半導体ウェハのパターン形成に用いることにより、両方法の各利点を有効に生かすこ

とができる。例えば、微細パターンが高精度で要求される層のパターン形成の場合や、フォトマスク製作時間を省略して緊急度が要求される場合には、電子ビーム直接露光を用いれば良い。

マスタースライス方式の場合には、アルミ配線前までのプロセスを光露光法により行っておき、パターン変更の多いアルミ配線層のみのパターンを電子ビーム露光法を用いることにより、時間短縮が大幅となる。

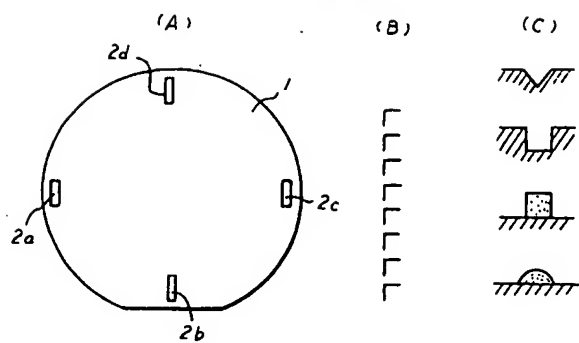
4. 図面の簡単な説明

第1図はウェハ上におけるレジストレーションマークの例を示す図、第2図はフォトマスクの概略を示す図、第3図は本発明の実施例を説明する図である。

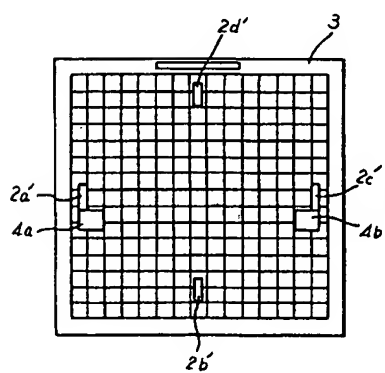
主要部分の符号の説明

- 1 …… 半導体ウェハ
- 2 …… レジストレーションマーク
- 3 …… フォトマスク
- 4 …… ターゲットマーク

第1図



第2図



第3図

